

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-214680

(43)Date of publication of application : 06.08.1999

(51)Int.Cl.

H01L 29/78
H01L 21/28
H01L 21/336

(21)Application number : 10-008772

(22)Date of filing : 20.01.1998

(71)Applicant : FUJITSU LTD

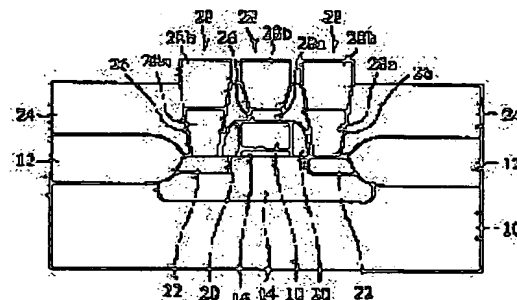
(72)Inventor : IKEDA KAZUTO
MATSUMIYA YASUO

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, and a fabrication method thereof, in which contact resistance of the lead-out electrode of an MOS transistor, or the like, can be reduced while stabilizing the electric characteristics for high temperature heat treatment.

SOLUTION: The semiconductor device comprises a transistor having a gate electrode 18 and a source-drain diffusion layer 22 formed on a silicon substrate 10, an insulation film 24 formed on the transistor provided with a contact hole 26 reaching the gate electrode 18 or the source-drain diffusion layer 22, and a lead-out electrode 28 formed in the contact hole 26 and having an Six(GeyC1-y)1-x compound layer 28a connected with the gate electrode 18 or the source-drain diffusion layer 22 and a layer 28b containing a metal silicide and a metal gelicide formed on the compound layer 28a.



LEGAL STATUS

{Date of request for examination]

29.07.2003

{Date of sending the examiner's decision of rejection]

{Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

{Date of final disposal for application]

{Patent number]

{Date of registration]

{Number of appeal against examiner's decision of rejection]

{Date of requesting appeal against examiner's decision of rejection]

{Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-214680

(43)公開日 平成11年(1999) 8月6日

(51)Int.Cl. ⁶	識別記号	F I
H 0 1 L 29/78		H 0 1 L 29/78
21/28	3 0 1	21/28
21/336		29/78
		3 0 1 G
		3 0 1 T
		3 0 1 P

審査請求 未請求 請求項の枚数 10 O L (全 11 頁)

(21)出願番号 特願平10-8772

(22)出願日 平成10年(1998) 1月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 池田 和人

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 松宮 広夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 北野 好人

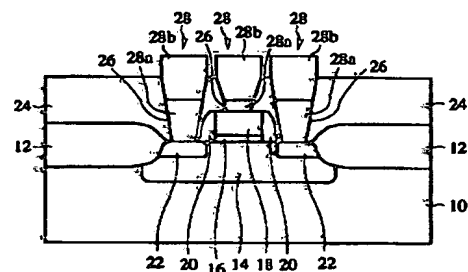
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 MOSトランジスタ等の引き出し電極のコンタクト抵抗を低減することができ、しかも、高温での熱処理に対する電気的特性の安定した半導体装置及びその製造方法を提供する。

【解決手段】 シリコン基板10上に形成され、ゲート電極18とソース/ドレイン拡散層22とを有するトランジスタと、トランジスタ上に形成され、ゲート電極18又はソース/ドレイン拡散層22に達するコンタクトホール26が形成された絶縁膜24と、コンタクトホール26内に形成され、ゲート電極18又はソース/ドレイン拡散層22に接続されたSix (Ge_yC_{1-y})_{1-x}化合物層28aと、Six (Ge_yC_{1-y})_{1-x}化合物層28a上に形成された金属シリサイド及び金属ゲリサイドを含む層28bとを有する引き出し電極28とを有している。

本発明の第1実施形態による半導体装置を示す断面図



10…シリコン基板
12…ゲート絶縁膜
14…半導体層
16…ゲート電極
18…ゲート電極
20…サイドウォール絶縁膜
22…ソース/ドレイン拡散層
24…絶縁膜
26…コンタクトホール
28…引き出し電極
28a…Si_x(Ge_yC_{1-y})_{1-x}化合物層
28b…金属シリサイド及び金属ゲリサイドを含む層

1

【特許請求の範囲】

【請求項1】 シリコン基板上に形成され、ゲート電極とソース／ドレイン拡散層とを有するトランジスタと、前記トランジスタ上に形成され、前記ゲート電極又は前記ソース／ドレイン拡散層に達するコンタクトホールが形成された絶縁膜と、

前記コンタクトホール内に形成され、前記ゲート電極又は前記ソース／ドレイン拡散層に接続されたSiX (GeYCl_{1-Y})_{1-X}化合物層と、前記SiX (GeYCl_{1-Y})_{1-X}化合物層上に形成された金属シリサイド及び金属ゲリサイドを含む層とを有する引き出し電極とを有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記SiX (GeYCl_{1-Y})_{1-X}化合物層の組成比Xは、前記ゲート電極又は前記ソース／ドレイン拡散層との界面においてほぼ1であり、前記ゲート電極又は前記ソース／ドレイン拡散層から離れるに伴って連続的に小さくなっていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記SiX (GeYCl_{1-Y})_{1-X}化合物層の組成比Xは、前記ゲート電極又は前記ソース／ドレイン拡散層との界面においてほぼ1であり、前記ゲート電極又は前記ソース／ドレイン拡散層から離れるに伴って段階的に小さくなっていることを特徴とする半導体装置。

【請求項4】 シリコン基板上に、ゲート電極とソース／ドレイン拡散層とを有するトランジスタを形成するトランジスタ形成工程と、

全面に、絶縁膜を形成する絶縁膜形成工程と、

前記絶縁膜に、前記ゲート電極又は前記ソース／ドレイン拡散層表面を露出するコンタクトホールを形成するコンタクトホール形成工程と、

前記コンタクトホール内に、SiX (GeYCl_{1-Y})_{1-X}化合物層を形成するSiX (GeYCl_{1-Y})_{1-X}化合物層形成工程と、

前記SiX (GeYCl_{1-Y})_{1-X}化合物層上を選択的に金属と反応させ、前記SiX (GeYCl_{1-Y})_{1-X}化合物層と金属シリサイド及び金属ゲリサイドを含む層とを有する引き出し電極を形成する引き出し電極工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、

前記SiX (GeYCl_{1-Y})_{1-X}化合物層形成工程では、単結晶の前記SiX (GeYCl_{1-Y})_{1-X}化合物層を形成することを特徴とする半導体装置の製造方法。

【請求項6】 請求項4記載の半導体装置の製造方法において、

前記SiX (GeYCl_{1-Y})_{1-X}化合物層形成工程では、多結晶の前記SiX (GeYCl_{1-Y})_{1-X}化合物層を形成することを特徴とする半導体装置の製造方法。

【請求項7】 請求項4乃至6記載の半導体装置の製造

2

方法において、

前記SiX (GeYCl_{1-Y})_{1-X}化合物層形成工程では、前記シリコン基板と前記SiX (GeYCl_{1-Y})_{1-X}化合物層との格子定数がほぼ整合するように組成比Yを設定することを特徴とする半導体装置の製造方法。

【請求項8】 請求項4乃至7記載の半導体装置の製造方法において、

前記SiX (GeYCl_{1-Y})_{1-X}化合物層形成工程では、前記ゲート電極又は前記ソース／ドレイン拡散層との界面における組成比Xをほぼ1とし、前記ゲート電極又は前記ソース／ドレイン拡散層から離れるに伴い組成比Xが徐々に小さくなるように前記SiX (GeYCl_{1-Y})_{1-X}化合物層を形成することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、

前記SiX (GeYCl_{1-Y})_{1-X}化合物層形成工程では、組成比Xが連続的に小さくなるように前記SiX (GeYCl_{1-Y})_{1-X}化合物層を形成することを特徴とする半導体装置の製造方法。

【請求項10】 請求項8記載の半導体装置の製造方法において、

前記SiX (GeYCl_{1-Y})_{1-X}化合物層形成工程では、組成比Xが段階的に小さくなるように前記SiX (GeYCl_{1-Y})_{1-X}化合物層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特にMOS (Metal Oxide Semiconductor) トランジスタ等の引き出し電極のコンタクト抵抗を低減することができる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、デジタルIC (Integrated circuit) やアナログIC等の半導体装置では、高集積化・高速動作化に伴い、これらに用いられるMOSトランジスタの引き出し電極のコンタクト抵抗の低減が求められている。従来の半導体装置を図8を用いて説明する。図8は、従来の半導体装置を示す断面図である。

【0003】図8に示すように、シリコン基板110表面には素子領域を画定する素子分離膜112が形成されており、画定された素子領域には例えばn形の半導体層114が形成されている。半導体層114上には、MOSトランジスタを構成するゲート絶縁膜116及びゲート電極118が順に形成されており、これらの側面にはサイドウォール絶縁膜120が形成されている。半導体層114には、ゲート電極118に自己整合でソース／ドレイン拡散層122が形成されており、このようにして構成されたMOSトランジスタは絶縁膜124により

3

覆われている。

【0004】絶縁膜124には、ゲート電極118、ソース／ドレイン拡散層122に達するコンタクトホール126が形成されており、このコンタクトホール126内には、ゲート電極118及びソース／ドレイン拡散層122に接続された引き出し電極128が形成されている。引き出し電極128の下層側には、多結晶シリコン層128aが用いられており、引き出し電極128の上層側には、金属シリサイド層128bが用いられている。このような構成にすれば、ゲート電極118又はソース／ドレイン拡散層122と引き出し電極128の下層側に用いられる多結晶シリコン層128aとの間でショットキー障壁を低くすることができるので、これによりコンタクト抵抗を小さくすることが期待できる。

【0005】次に、従来の他の半導体装置を図8を用いて説明する。従来の他の半導体装置では、引き出し電極128の下層側に、多結晶シリコン層よりバンドギャップエネルギーが小さい多結晶SiGe層128a（又は多結晶ゲルマニウム層128a）が用いられ、引き出し電極128の上層側に金属シリサイド及び金属ゲリサイドを含む層128b（又は金属ゲリサイドを含む層128b）が用いられていることが、上記に示した従来の半導体装置と異なる。このような構成にすれば、引き出し電極128の下層側に用いられる多結晶SiGe層128a（又は多結晶ゲルマニウム層128a）と、引き出し電極128の上層側に用いられる金属シリサイド及び金属ゲリサイドを含む層128b（又は金属シリサイド層128b）との間でショットキー障壁を低くすることができるので、これによりコンタクト抵抗を小さくすることが期待できる。

【0006】

【発明が解決しようとする課題】しかしながら、従来の半導体装置では、引き出し電極128の下層側が多結晶シリコン層128aより成るため、引き出し電極128の下層側の多結晶シリコン層128aとソース／ドレイン拡散層122又はゲート電極118との界面におけるコンタクト抵抗は低い、引き出し電極128の下層側の多結晶シリコン層128aと上層側の金属シリサイド層128bとの間では、材料固有の物性により高いショットキー障壁が生じてしまい、これによりコンタクト抵抗が高くなってしまっていた。

【0007】このような場合、金属シリサイド層128bの材料を適宜選択することによりショットキー障壁の高さを低くしてコンタクト抵抗を小さくすることが考えられるが、ソース／ドレイン拡散層122の導電型がn形のnチャネルMOSトランジスタとソース／ドレイン拡散層122の導電型がp形のpチャネルMOSトランジスタとが併存するCMOS（Complementary Metal-Oxide Semiconductor）デバイスでは、この両方の導電型に対してショットキー障壁の高さを低くするように金属

4

シリサイド層128bの材料を選択するのは困難であった。

【0008】また、従来の他の半導体装置では、引き出し電極128の下層側に用いられている多結晶SiGe層128a（又は多結晶ゲルマニウム層128a）とソース／ドレイン拡散層122又はゲート電極118との界面において、格子不整合が大きいため、その界面において大きな歪みが生じていた。このような歪みが生じると、半導体装置の製造における高温の熱処理において、多結晶SiGe層128a（又は多結晶ゲルマニウム層128a）に含まれるGeがソース／ドレイン拡散層122やゲート電極118へ拡散してしまうことがあり、電気的特性が変化してしまうことがあった。

【0009】高温の熱処理による電気的特性の変化の一例を図9を用いて説明する。図9は、アニール温度に対するショットキー障壁の高さの変化を示すグラフ（財満、安田、日本学術振興会薄膜第131委員会第186回研究会資料、(1997)、p.13-18より）であって、試料としてTi/p形SiとTi/p形Si_{0.8}Ge_{0.2}/p形Siとが用いられているものである。図9からわかるように、Ti/p形Siの場合には、アニール温度によりショットキー障壁が顕著に変化することはないが、Ti/p形Si_{0.8}Ge_{0.2}/p形Siの場合には、アニール温度によりショットキー障壁が顕著に変化してしまう。即ち、界面における格子不整合が大きき場合には、高温での熱処理に対して電気的特性の変化が大きくなってしまっていた。

【0010】本発明の目的は、MOSトランジスタ等の引き出し電極のコンタクト抵抗を低減することができ、しかも、高温での熱処理に対する電気的特性の安定した半導体装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的は、シリコン基板上に形成され、ゲート電極とソース／ドレイン拡散層とを有するトランジスタと、前記トランジスタ上に形成され、前記ゲート電極又は前記ソース／ドレイン拡散層に達するコンタクトホールが形成された絶縁膜と、前記コンタクトホール内に形成され、前記ゲート電極又は前記ソース／ドレイン拡散層に接続されたSi_x(Ge_yC_{1-y})_{1-x}化合物層と、前記Si_x(Ge_yC_{1-y})_{1-x}化合物層上に形成された金属シリサイド及び金属ゲリサイドを含む層とを有する引き出し電極とを有することを特徴とする半導体装置により達成される。これにより、引き出し電極の下層側にSi_x(Ge_yC_{1-y})_{1-x}化合物層を用い、上層側に金属シリサイド及び金属ゲリサイドを含む層を用いたので、ショットキー障壁を小さくすることができ、コンタクト抵抗の低い半導体装置を提供することができる。また、引き出し電極の下層側にSi_x(Ge_yC_{1-y})_{1-x}化合物層を用いたので、ゲート電極又はソース／ドレイン拡散層との界面における格子不整合を

5

極めて小さくすることができ、高温での熱処理に対する電気的特性の安定した半導体装置を提供することができる。

【0012】また、上記の半導体装置において、前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層の組成比 X は、前記ゲート電極又は前記ソース／ドレイン拡散層との界面においてほぼ 1 であり、前記ゲート電極又は前記ソース／ドレイン拡散層から離れるに伴って連続的に小さくなることが望ましい。また、上記の半導体装置において、前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層の組成比 X は、前記ゲート電極又は前記ソース／ドレイン拡散層との界面においてほぼ 1 であり、前記ゲート電極又は前記ソース／ドレイン拡散層から離れるに伴って段階的に小さくなっていることが望ましい。

【0013】また、上記目的は、シリコン基板上に、ゲート電極とソース／ドレイン拡散層を有するトランジスタを形成するトランジスタ形成工程と、全面に、絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜に、前記ゲート電極又は前記ソース／ドレイン拡散層表面を露出するコンタクトホールを形成するコンタクトホール形成工程と、前記コンタクトホール内に、 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層を形成する $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層形成工程と、前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層上を選択的に金属と反応させ、前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層と金属シリサイド及び金属ゲリサイドを含む層とを有する引き出し電極を形成する引き出し電極工程とを有する半導体装置の製造方法により達成される。これにより、引き出し電極の下層側に $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層が形成され、上層側に金属シリサイド及び金属ゲリサイドを含む層が形成されているので、ショットキー障壁を小さくすることができ、コンタクト抵抗の低い半導体装置の製造方法を提供することができる。また、引き出し電極の下層側に $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層が形成されているので、ゲート電極又はソース／ドレイン拡散層との界面における格子不整合を極めて小さくすることができ、高温での熱処理に対する電気的特性の安定した半導体装置の製造方法を提供することができる。

【0014】また、上記の半導体装置の製造方法において、前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層形成工程では、単結晶の前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層を形成することが望ましい。また、上記の半導体装置の製造方法において、前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層形成工程では、多結晶の前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層を形成することが望ましい。

【0015】また、上記の半導体装置の製造方法において、前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層形成工程では、前記シリコン基板と前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層との格子定数がほぼ整合するように組成比 Y を設定することが望ましい。また、上記の半導体装置の製造

6

方法において、前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層形成工程では、前記ゲート電極又は前記ソース／ドレイン拡散層との界面における組成比 X をほぼ 1 とし、前記ゲート電極又は前記ソース／ドレイン拡散層から離れるに伴い組成比 X が徐々に小さくなるように前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層を形成することが望ましい。

【0016】また、上記の半導体装置の製造方法において、前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層形成工程では、組成比 X が連続的に小さくなるように前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層を形成することが望ましい。また、上記の半導体装置の製造方法において、前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層形成工程では、組成比 X が段階的に小さくなるように前記 $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層を形成することが望ましい。

【0017】

【発明の実施の形態】 【第 1 実施形態】 本発明の第 1 実施形態による半導体装置を図 1 乃至図 5 を用いて説明する。図 1 は、本実施形態による半導体装置を示す断面図である。図 2 は、 Si の組成比 X に対する $\text{SixGe}_{1-\text{X}}$ 化合物層のバンドギャップエネルギーを示すグラフである。図 3 は、本実施形態による半導体装置のエネルギーバンド構造を示す図である。図 4 及び図 5 は、本実施形態による半導体装置の製造方法を示す工程断面図である。

【0018】（半導体装置） まず、本実施形態による半導体装置を図 1 を用いて説明する。図 1 に示すように、シリコン基板 10 表面には素子領域を画定する素子分離膜 12 が形成されており、画定された素子領域には例えば n 形の半導体層 14 が形成されている。半導体層 14 上には、MOS トランジスタを構成するゲート絶縁膜 16 及びゲート電極 18 が順に形成されており、これらの側面にはサイドウォール絶縁膜 20 が形成されている。半導体層 14 には、ゲート電極 18 に自己整合で例えば p 形のソース／ドレイン拡散層 22 が形成されており、このようにして構成された MOS トランジスタは絶縁膜 24 により覆われている。

【0019】絶縁膜 24 には、ゲート電極 18、ソース／ドレイン拡散層 22 に達するコンタクトホール 26 が形成されており、このコンタクトホール 26 内には、ゲート電極 18 及びソース／ドレイン拡散層 22 に接続された引き出し電極 28 が形成されている。引き出し電極 28 の下層側は、組成比 $\text{X}=0.5$ 、組成比 $\text{Y}=0.9$ である $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層 28a より成り、引き出し電極 28 の上層側は、金属シリサイド及び金属ゲリサイドを含む層 28b より成る。即ち、本実施形態による半導体装置は、引き出し電極 28 の下層側に $\text{Six}(\text{GeYCl}_1\text{-Y})_{1-\text{X}}$ 化合物層 28a が用いられていることに主な特徴がある。

【0020】 まず、引き出し電極 28 のコンタクト抵抗を、バンドギャップエネルギーの観点から図 2 を用いて

7

説明する。図2は、Siの組成比Xに対する $\text{Si}_x\text{Ge}_{1-x}$ 化合物層のバンドギャップエネルギーを示したグラフ(R. Braunstein, A. R. Moore, and F. Herman, Phys. Rev. 109 (1958), p. 695より)である。図2に示された特性により、 $\text{Si}_x\text{Ge}_{1-x}$ 化合物層は、Siの組成比Xが小さくなるにつれて、バンドギャップエネルギーが小さくなる傾向にあり、 $X \leq 0.5$ においては、 0.9 eV 以下となる。Siの組成比が $X=1$ の場合は、バンドギャップエネルギーは 1.1 eV であるので、組成比 $X \leq 0.5$ の場合には組成比 $X=1$ の場合と比べてバンドギャップエネルギーが 0.2 eV 以上小さくなることがわかる。

【0021】図2は、本実施形態による半導体装置の引き出し電極28の下層側に用いられている $\text{Si}_x(\text{GeYCl-Y})_{1-x}$ 化合物層28aについてのグラフではないが、 $\text{Si}_x(\text{GeYCl-Y})_{1-x}$ 化合物層28aの場合も $\text{Si}_x\text{Ge}_{1-x}$ 化合物層とほぼ同様のバンドギャップエネルギーになると考えられる。次に、上記のような検討結果に基づく本実施形態による半導体装置のエネルギーバンド構造について図3を用いて説明する。

【0022】図3は、金属/p形 $\text{Si}_{0.5}(\text{GeYCl-Y})_{0.5}$ 化合物/p形Si界面のエネルギーバンド構造を示したものである。金属シリサイド及び金属ゲリサイドを含む層28b、 $\text{Si}_x(\text{GeYCl-Y})_{1-x}$ 化合物層28a、ソース/ドレイン拡散層22及びゲート電極18は、それぞれ図3における金属、p形 $\text{Si}_{0.5}(\text{GeYCl-Y})_{0.5}$ 、p形Siに相当する。また、図3において、 E_{vac} は真空準位、 E_c は伝導帯底のエネルギー準位、 E_f はフェルミ準位、 E_v は価電子帯端のエネルギー準位を示している。また、 ϕ_M は金属の真空準位までの仕事関数、 ϕ_{Bp} は金属がp形半導体と接触した場合のショットキー障壁を越えるための仕事関数、 $\chi(\text{Si}_{0.5}(\text{Ge, C})_{0.5})$ はp形 $\text{Si}_{0.5}(\text{GeYCl-Y})_{0.5}$ 化合物の電子親和力、 $\chi(\text{Si})$ はp形Siの電子親和力、 $E_g(\text{Si}_{0.5}(\text{Ge, C})_{0.5})$ はp形 $\text{Si}_{0.5}(\text{GeYCl-Y})_{0.5}$ 化合物のエネルギーギャップ、 $E_g(\text{Si})$ はp形Siのエネルギーギャップ、 ΔE_v はp形 $\text{Si}_{0.5}(\text{GeYCl-Y})_{0.5}$ 化合物/Si界面の価電子帯端におけるエネルギー準位の差である。

【0023】本実施形態のような半導体装置では、電子親和力 $\chi(\text{Si}_{0.5}(\text{Ge, C})_{0.5})$ と電子親和力 $\chi(\text{Si})$ とがほぼ等しいことが知られており、 $E_g(\text{Si}) = 1.1\text{ eV}$ と $E_g(\text{Si}_{0.5}(\text{Ge, C})_{0.5}) = 0.9\text{ eV}$ との差である 0.2 eV が価電子帯端におけるエネルギー準位の差 ΔE_v となってあらわれるため、p形 $\text{Si}_{0.5}(\text{GeYCl-Y})_{0.5}$ 化合物28aに相当する層が設けられていなかった従来の半導体装置と比較してショットキー障壁の高さ $q\phi_{Bp}$ を 0.2 eV 小さくすることができる。

【0024】次に、ショットキー障壁の高さ $q\phi_{Bp}$ が

8

0.2 eV 小さくなることによりコンタクト抵抗がどの程度低下するかについて、Leeの発表した不純物バンドモデル(D. S. Lee and J. G. Fossum, IEEE Trans. Electron Device, ED-30, 626 (1983))を用いて算出する。これによれば、本実施形態による半導体装置の $\text{Si}_{0.5}(\text{GeYCl-Y})_{0.5}$ 化合物層28a中の不純物濃度を $1 \times 10^{20}\text{ cm}^{-3}$ とした場合、金属/Si_{0.5}(GeYCl-Y)_{0.5}化合物界面におけるコンタクト抵抗は約 $2 \times 10^{-7}\text{ }\Omega\text{ cm}^2$ となる。従来の半導体装置の金属/Si界面におけるコンタクト抵抗は、約 $2 \times 10^{-6}\text{ }\Omega\text{ cm}^2$ と算出できるから、本実施形態による半導体装置では、コンタクト抵抗をほぼ1桁小さくすることができる。

【0025】次に、本実施形態による半導体装置の、高温での熱処理に対する電気的特性の安定性について説明する。高温での熱処理に対して電気的特性が安定しているか否かは、引き出し電極28による界面の歪みの大きさに依存すると考えられる。界面の歪みが大きいと、高温で熱処理を行ったときに界面の歪みに起因して結晶の再配列が起き、界面の歪みが小さくなるように引き出し電極28の $\text{Si}_{0.5}(\text{GeYCl-Y})_{0.5}$ 化合物層28a中のGe等が移動するので、これにより電気的特性が変化してしまう。界面の歪みの大きさは主に格子不整合に起因すると考えられる。そこで、本実施形態による半導体装置の引き出し電極28による格子不整合について検討してみる。

【0026】まず、従来の半導体装置のように、引き出し電極にGeを用いた場合について検討してみる。この場合、Siの格子定数は 0.357 nm であり、Geの格子定数は 0.357 nm であるから、Ge/Si界面では 4.18% と大きな格子不整合が生じていた。また、従来の他の半導体装置のように、引き出し電極に $\text{Si}_x\text{Ge}_{1-x}$ 化合物層を用いた場合について検討してみる。この場合、Siの組成比Xを 0.5 とすると、 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 化合物の格子定数は 0.35441 nm であるから、 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 化合物/Si界面においても 2.09% と依然として大きい格子不整合が生じてしまう。従って、 $\text{Si}_x\text{Ge}_{1-x}$ 化合物/Siの場合は、上述したようにショットキー障壁を低くする点では有効であるが、格子不整合に関しては十分に低減することができず、高温での熱処理に対して電気的安定性が十分に確保できないと考えられる。

【0027】これに対し、 $\text{Si}_x(\text{GeYCl-Y})_{1-x}$ 化合物/Siの場合は、GeとCとの組成比を適切に設定すれば、格子不整合を小さくすることができる。例えば、 $\text{Si}_{0.5}(\text{Ge}_{0.9}\text{C}_{0.1})_{0.5}$ 化合物の格子定数は 0.3439587 nm となり、この場合は、格子不整合は 0.164% となるから、従来のようなGe/Siの場合や、 $\text{Si}_x\text{Ge}_{1-x}$ 化合物/Siの場合と比較して十分に格子不整合を小さくすることができる。そして更に、GeとCとの組成比を厳密に調整し、 $\text{Si}_{0.5}(\text{Ge}$

9

0.8915(C0.1085) 0.5化合物を用いれば、格子不整合をほぼ0とすることも可能である。従って、格子不整合の大きさは、 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物/ Si 界面においては、 Ge/Si 、 $\text{Si}_x\text{Ge}_{1-x}$ 化合物/ Si 界面の場合と比較して1桁程度以上も小さくすることができる。

【0028】そして、界面の歪みの大きさは上記のような格子不整合に大きく依存するため、界面の歪みの大きさは、 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物/ Si 界面においては、 Ge/Si 、 $\text{Si}_x\text{Ge}_{1-x}$ 化合物/ Si 界面の場合と比較して1桁程度以上も小さくなると考えられる。このように、引き出し電極28の下層側に $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aを用いた場合は、 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層とゲート電極18又はソース/ドレイン拡散層22との界面における格子不整合を極めて小さくすることができるので、これにより界面の歪みを極めて小さくすることができ、従って、高温での熱処理に対して電気的特性の安定性を向上することができる。

【0029】このように、本実施形態によれば、引き出し電極の下層側に $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層を用い、上層側に金属シリサイド及び金属ゲリサイドを含む層を用いたので、ショットキー障壁を小さくすることができ、コンタクト抵抗の低い半導体装置を提供することができる。また、本実施形態によれば、引き出し電極の下層側に $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層を用いたので、ゲート電極又はソース/ドレイン拡散層との界面における格子不整合を極めて小さくすることができ、高温での熱処理に対する電気的特性の安定した半導体装置を提供することができる。

【0030】(半導体装置の製造方法) 次に、本実施形態による半導体装置の製造方法について説明する。まず、図4(a)に示すように、LOCOS(LOCal Oxidation of Silicon)法により、シリコン基板10表面に、素子領域を画定する素子分離膜12を形成する。この後、素子領域に不純物イオンを注入し、例えばn形の半導体層14を形成する。この後、全面にシリコン酸化膜を形成し、シリコン酸化膜上に導電膜を形成する。この後、シリコン酸化膜及び導電膜を所定の形状にパターニングして、ゲート絶縁膜16及びゲート電極18を形成する。この後、全面に絶縁膜を形成し、この絶縁膜を異方性エッチングすることによりゲート絶縁膜16及びゲート電極18の側面にサイドウォール絶縁膜20を形成する。この後、ゲート電極18をマスクとして例えばp形の不純物イオンを注入し、ゲート電極18に自己整合でソース/ドレイン拡散層22を形成することにより、MOSトランジスタを形成する。

【0031】次に、CVD(Chemical Vapor Deposition, 化学気相堆積)法により、全面に絶縁膜24を形成する(図4(a)参照)。次に、CMP(Chemical Mec

10

hanical Polishing, 化学的機械的研磨)法等により、絶縁膜24表面を平坦化する(図4(b)参照)。次に、フォトリソグラフィ技術とRIE(Reactive Ion Etching, 反応性イオンエッチング)技術を用いて、ゲート電極18及びソース/ドレイン拡散層22表面を露出するコンタクトホール26を形成する(図4(c)参照)。

【0032】次に、全面にCVD法により、組成比Xを0.5、組成比Yを0.9とする $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aを形成する(図4(d)参照)。なお、 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aを形成するにあたっては、CVD法ではなく、MBE(Molecular Beam Epitaxy, 分子線エビタキシャル)法等の他の方法を用いてもよい。本実施形態では、ゲート電極18及びソース/ドレイン拡散層22と $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aとの界面における格子不整合が小さいので、MBE法を用いれば単結晶を形成することができる。 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aを単結晶で形成することができれば、電子のトラップ等を抑制することができるので、これによりコンタクト抵抗を更に低減することが可能となる。

【0033】次に、CMP法等の研磨技術を用いて、 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aを平坦化する(図5(a)参照)。次に、全面に金属膜30を形成する。金属膜30の材料としては、例えば、Ti、TiSi₂、NiSi₂、CoSi₂、WSi₂等を用いることができる(図5(b)参照)。

【0034】次に、熱処理を行うと、 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aと金属膜30とが反応し、これにより金属シリサイド及び金属ゲリサイドを含む層28bが形成される。次に、化学溶液を用いてエッチングすることにより、未反応の金属膜30を除去することにより引き出し電極28を形成し、本実施形態による半導体装置が完成する。

【0035】[第2実施形態] 本発明の第2実施形態による半導体装置及びその製造方法を図1、図4、図5、及び図6を用いて説明する。図6は、本実施形態による半導体装置のエネルギーバンド構造を示す図である。

(半導体装置) まず、本実施形態による半導体装置を図1を用いて説明する。

【0036】本実施形態による半導体装置は、引き出し電極28の下層側がSiの組成比Xの値が連続的に変化している $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aより成る他は、第1実施形態による半導体装置と同様である。即ち、本実施形態による半導体装置は、引き出し電極28の下層側が、傾斜組成の $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aより成り、上層側が金属シリサイド及び金属ゲリサイドを含む層28aより成るものである。 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物/ Si 界面において、Siの組成比Xを1、即ちSi/Siとし、金属/ $\text{Si}_x(\text{G}$

11

$\text{Ge}_y\text{C}_{1-y}$ $1-x$ 化合物界面において、Siの組成比Xを0.5、つまり $\text{Si}_{0.5}(\text{Ge}_{0.9}\text{C}_{0.1})_{0.5}$ となるように、組成比Xを連続的に小さくすることを特徴とするものである。

【0037】次に、本実施形態による半導体装置のエネルギーバンド構造を図6を用いて説明する。金属シリサイド及び金属ゲリサイドを含む層28b、 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28a、ソース/ドレイン拡散層22及びゲート電極18は、それぞれ図6における金属、p形 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 、p形Siに相当する。

【0038】第1実施形態による半導体装置では、図3に示すように、 $\text{Si}_{0.5}(\text{Ge}_y\text{C}_{1-y})_{0.5}$ 化合物/Si界面において、価電子帯端にエネルギー準位の差 ΔE_v が生じていた。このような価電子帯端におけるエネルギー準位の差 ΔE_v が生じていると、キャリアの移動が阻害されてしまうため、コンタクト抵抗を十分に低下することができない場合がある。

【0039】本実施形態による半導体装置は、上記のような課題に鑑みて為されたものであって、 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物/p形Si界面においてのSiの組成比 $X=1$ 、つまりSi/Siとし、金属/Si $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物界面において組成比 $X=0.5$ 、つまり金属/ $\text{Si}_{0.5}(\text{Ge}_{0.9}\text{C}_{0.1})_{0.5}$ 化合物となるように、組成比Xを連続的に小さくしている。これにより、図6に示すようなエネルギーバンド構造となり、図3に示すような価電子帯端におけるエネルギー準位の差 ΔE_v をなくすることができる。即ち、価電子帯端におけるエネルギー準位の差 ΔE_v をなくすることにより、キャリアの移動が容易になるので、コンタクト抵抗を更に小さくすることができる。

【0040】このように、本実施形態によれば、引き出し電極の下層側にSiの組成比Xの値が連続的に変化する $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層を用い、上層側に金属シリサイド及び金属ゲリサイドを含む層を用いたので、価電子帯端におけるエネルギー準位の差 ΔE_v をなくことができ、これにより引き出し電極のコンタクト抵抗を更に低減することができる。

【0041】(半導体装置の製造方法) 次に、本実施形態による半導体装置の製造方法を図4及び図5説明する。図4(c)に示すコンタクトホール26を形成する工程までは、第1実施形態と同様であるので、説明を省略する。次に、全面にCVD法により、原料ガスの組成比を連続的に調節し、これにより、Siの組成比Xが1~0.5まで連続的に減少する $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aを形成する(図4(d)参照)。なお、 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aを形成するにあたっては、CVD法ではなく、MBE法等の他の方法を用いてもよい。本実施形態では、ゲート電極18及びソース/ドレイン拡散層22と $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aとの界面における格子不整合が小さいの

12

で、MBE法を用いれば単結晶を形成することができる。 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aを単結晶で形成することができれば、電子のトラップ等を抑制することができるので、これによりコンタクト抵抗を更に低減することが可能となる。

【0042】この後の、半導体装置の製造方法は、第1実施形態と同様であるため省略する。

【第3実施形態】本発明の第3実施形態による半導体装置及びその製造方法を図1、図4、図5及び図7を用いて説明する。

【0043】(半導体装置) まず、本実施形態による半導体装置を図1を用いて説明する。本実施形態による半導体装置は、引き出し電極28の下層側が、Siの組成比Xの値が段階的に小さくなる傾斜組成の $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aより成る他は、第1実施形態による半導体装置と同様である。即ち、本実施形態による半導体装置は、引き出し電極28の下層側が、組成比Xの値が段階的に変化している $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層より成り、上層側が金属シリサイド及び金属ゲリサイドを含む層より成るものである。 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物/Si界面において、Siの組成比Xを1、即ちSi/Siとし、金属/ $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物界面において、Siの組成比Xを0.5、即ち金属/ $\text{Si}_{0.5}(\text{Ge}_{0.9}\text{C}_{0.1})_{0.5}$ 化合物となるように、Xを段階的に小さくすることを特徴とするものである。

【0044】本実施形態では、 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aの組成比Xの値が段階的に変化しているので、図7に示すように、エネルギーバンド構造も $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aにおいて段階的に変化する。このように、本実施形態によれば、引き出し電極28の下層側に、Siの組成比Xの値が段階的に小さくなっている $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aを用いているので、第2実施形態と同様に引き出し電極のコンタクト抵抗を低減することができる。

【0045】(半導体装置の製造方法) 次に、本実施形態による半導体装置の製造方法について説明する。図4(c)に示すコンタクトホール26を形成する工程までは、第1実施形態と同様であるので、説明を省略する。次に、全面にCVD法により、原料ガスの組成比を段階的に調節し、これにより、Siの組成比Xが1~0.5まで段階的に小さくなる $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 層28aを形成する(図4(d)参照)。なお、 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aを形成するにあたっては、CVD法ではなく、MBE法等の他の方法を用いてもよい。本実施形態では、ゲート電極18及びソース/ドレイン拡散層22と $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aとの界面における格子不整合が小さいので、MBE法を用いれば単結晶を形成することができる。 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層28aを単結晶で形成すること

13

ができれば、電子のトラップ等を抑制することができるので、これによりコンタクト抵抗を更に低減することが可能となる。

【0046】この後の、半導体装置の製造方法は、第2実施形態と同様であるため省略する。

【変形実施形態】本発明は上記実施形態に限らず種々の変形が可能である。例えば、第1乃至第3実施形態では、 $\text{Si}_x(\text{Ge}_y\text{Cl}_{1-y})_{1-x}$ 化合物層やソース/ドレイン拡散層等の導電型をp形として説明したが、 $\text{Si}_x(\text{Ge}_y\text{Cl}_{1-y})_{1-x}$ 化合物層やソース/ドレイン拡散層等の導電型はp形に限定されるものではなく、n形でもよい。

【0047】また、第1乃至第3実施形態では、MOSトランジスタの引き出し電極を例に説明したが、MOSトランジスタの引き出し電極に限定されるものではなく、引き出し電極を有する半導体装置であればあらゆる半導体装置に適用することができる。

【0048】

【発明の効果】以上の通り、本発明によれば、引き出し電極の下層側に $\text{Si}_x(\text{Ge}_y\text{Cl}_{1-y})_{1-x}$ 化合物層を用い、上層側に金属シリサイド及び金属ゲリサイドを含む層を用いたので、ショットキー障壁を小さくすることができ、コンタクト抵抗の低い半導体装置を提供することができる。

【0049】また、本発明によれば、引き出し電極の下層側に $\text{Si}_x(\text{Ge}_y\text{Cl}_{1-y})_{1-x}$ 化合物層を用いたので、ゲート電極又はソース/ドレイン拡散層との界面における格子不整合を極めて小さくすることができ、高温での熱処理に対する電気的特性の安定した半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置を示す断面図である。

【図2】Siの組成比Xに対する $\text{Si}_x\text{Ge}_{1-x}$ 化合物のバンドギャップエネルギーを示すグラフである。

【図3】本発明の第1実施形態による半導体装置のエネルギーバンド構造を示す図である。

【図4】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

14

【図5】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図6】本発明の第2実施形態による半導体装置のエネルギーバンド構造を示す図である。

【図7】本発明の第3実施形態による半導体装置のエネルギーバンド構造を示す図である。

【図8】従来の半導体装置の製造方法を示す断面図である。

【図9】熱処理による電気的特性の劣化を示すグラフである。

【符号の説明】

10…シリコン基板

12…素子分離膜

14…半導体層

16…ゲート絶縁膜

18…ゲート電極

20…サイドウォール絶縁膜

22…ソース/ドレイン拡散層

24…絶縁膜

26…コンタクトホール

28…引き出し電極

28a… $\text{Si}_x(\text{Ge}_y\text{Cl}_{1-y})_{1-x}$ 化合物層

28b…金属シリサイド及び金属ゲリサイドを含む層

30…金属膜

110…シリコン基板

112…素子分離膜

114…半導体層

116…ゲート絶縁膜

118…ゲート電極

120…サイドウォール絶縁膜

122…ソース/ドレイン拡散層

124…絶縁膜

126…コンタクトホール

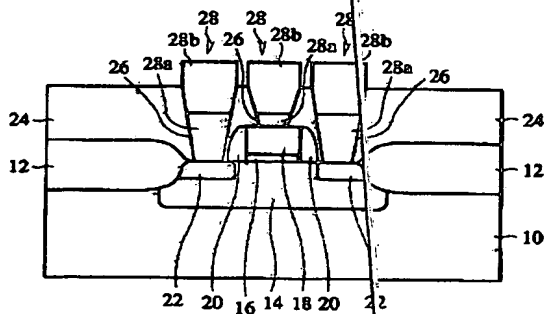
128…引き出し電極

128a…多結晶シリコン層、多結晶SiGe層、多結晶ゲルマニウム層

128b…金属シリサイド層、金属シリサイド及び金属ゲリサイドを含む層、金属ゲリサイドを含む層

【図1】

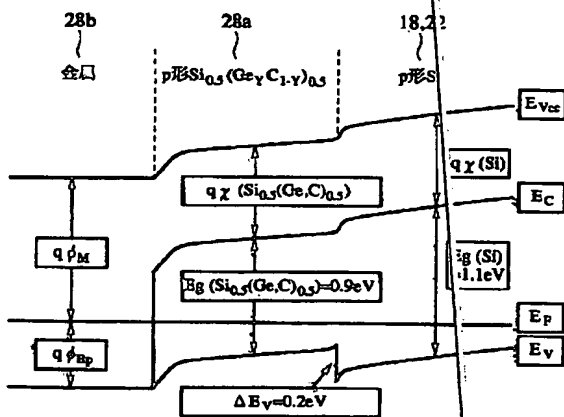
本発明の第1実施形態による半導体装置を示す断面図



- 10…シリコン基板
12…シリコン膜
14…半導体膜
16…ゲート絶縁膜
18…ゲート電極
20…サイドウォール絶縁膜
22…ソース/ドレイン接合膜
24…接触孔
26…コンタクトホール
28…引き出し電極
28a… $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物層
28b…金口シリサイド及び金口ゲリサイドを含む層

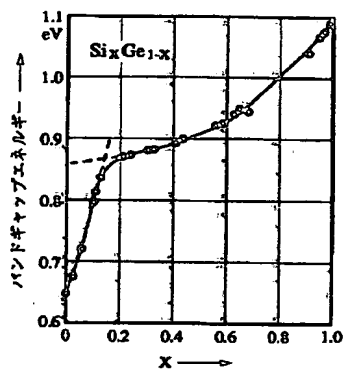
【図3】

本発明の第1実施形態による半導体装置のエネルギーバンド構造を示す図



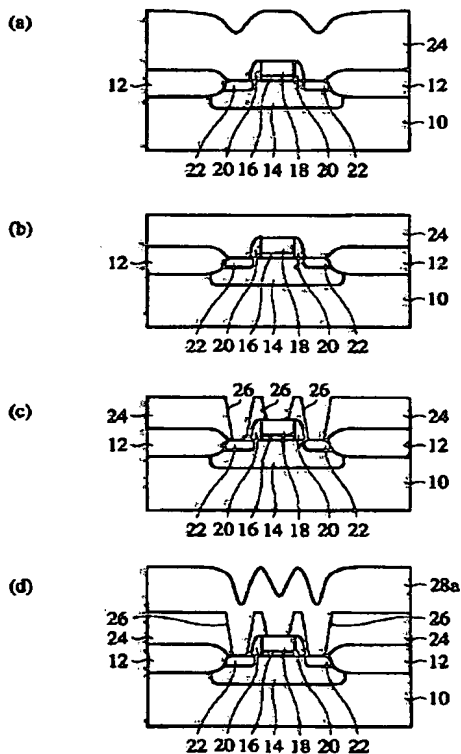
【図2】

Siの組成比Xに対する $\text{Si}_x\text{Ge}_{1-x}$ 化合物のバンドギャップエネルギーを示すグラフ



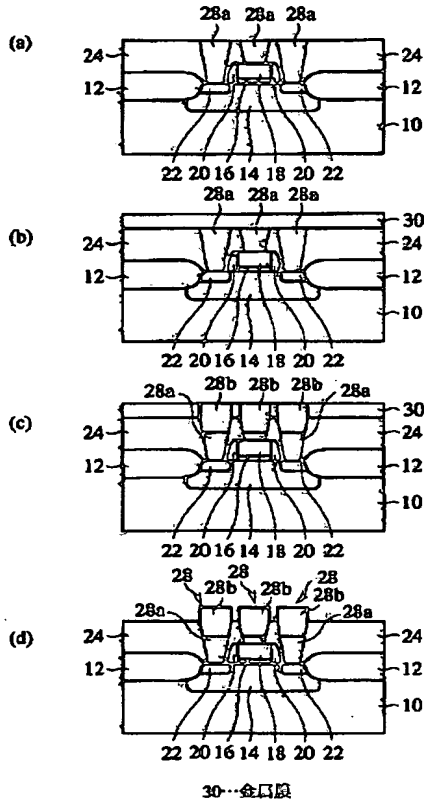
【図4】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1)



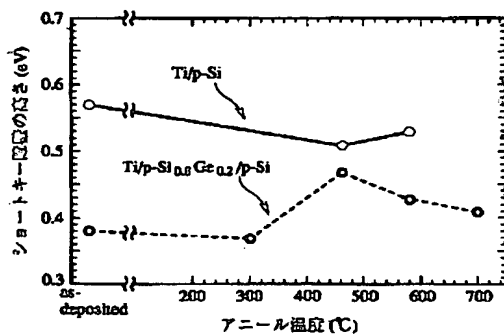
【図5】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2)



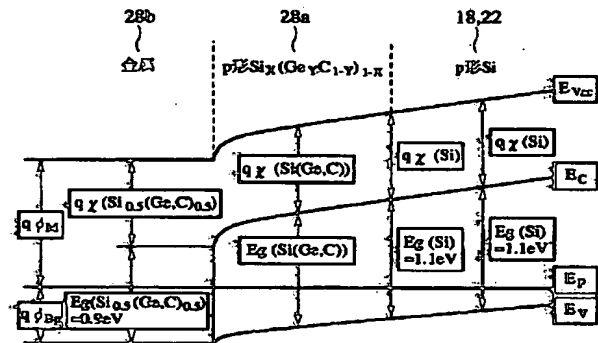
【図9】

熱処理による電気的特性の劣化を示すグラフ



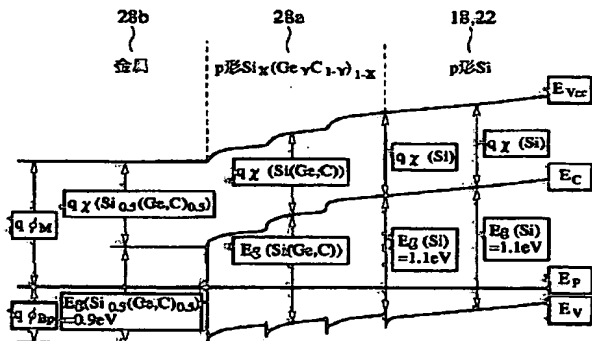
【図6】

本発明の第2実施形態による半導体装置のエネルギーバンド構造を示す図



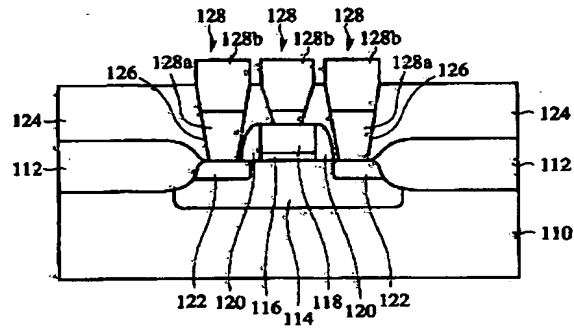
【図7】

本発明の第3実施形態による半導体装置のエネルギーバンド構造を示す図



【図8】

従来の半導体装置の製造方法を示す断面図



- 110…シリコン基板
- 112…素子分離膜
- 114…半導体層
- 116…ゲート絶縁膜
- 118…ゲート電極
- 120…サイドウォール絶縁膜
- 122…ソース/ドレイン拡散層
- 124…絶縁膜
- 126…コンタクトホール
- 128…引き出し電極
- 128a…多結晶シリコン層、
多結晶SiGe層、
多結晶ゲルマニウム層
- 128b…金属シリサイド層、
金属シリサイド及び金属ゲリサイドを含む層、
金属ゲリサイドを含む層